

8.1

最初に $f = \bar{x}_1\bar{x}_2\bar{x}_3 \vee x_2x_3x_4$ について考える. カルノー図は図 1 のようになる. 図 1 からわかるように論理ハザードは無い. よって, AND-OR 二段回路は図 2 のようになる.

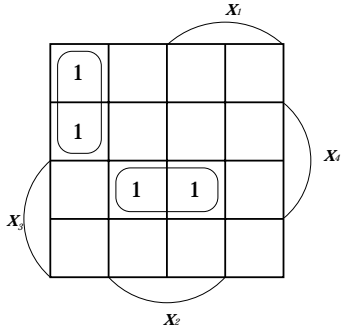


図 1: f のカルノー図

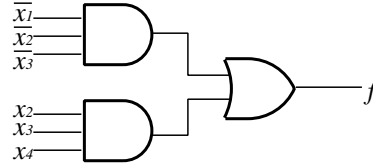


図 2: AND-OR 二段回路

次に \bar{f} のカルノー図は図 3 のようになる.

$$\begin{aligned} \bar{f} &= x_1\bar{x}_2 \vee x_1\bar{x}_3 \vee x_2\bar{x}_3 \vee x_2\bar{x}_4 \vee \bar{x}_2x_3 \vee x_3\bar{x}_4 \\ f &= (\bar{x}_1 \vee x_2)(\bar{x}_1 \vee x_3)(\bar{x}_2 \vee x_3)(\bar{x}_2 \vee x_4)(x_2 \vee \bar{x}_3)(\bar{x}_3 \vee x_4) \end{aligned}$$

これを用いて OR-AND 二段回路を描く (図 4).

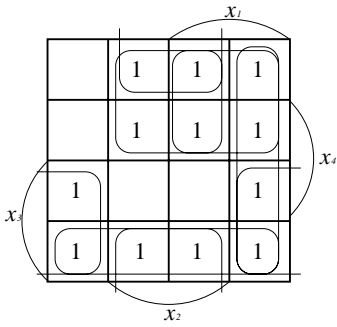


図 3: \bar{f} のカルノー図

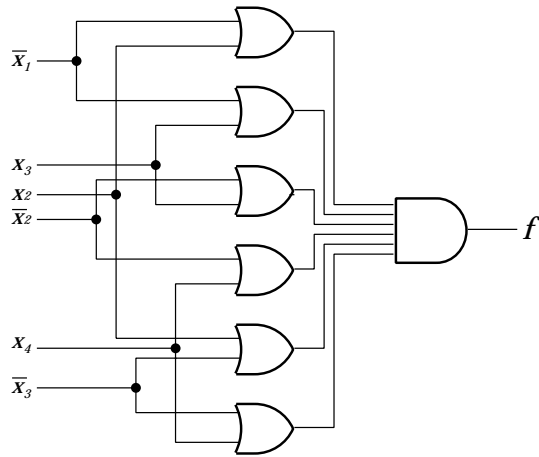


図 4: OR-AND 二段回路

次に $g = \bar{x}_1\bar{x}_2 \vee x_2x_3 \vee x_1\bar{x}_2\bar{x}_3$ について考える. g, \bar{g} のカルノー図を描く (図 5).

カルノー図より

$$g = \bar{x}_1\bar{x}_2 \vee \bar{x}_1x_3 \vee x_2x_3 \vee \bar{x}_2\bar{x}_3$$

また,

$$\begin{aligned} \bar{g} &= x_2\bar{x}_3 \vee x_1\bar{x}_2x_3 \\ g &= (\bar{x}_2 \vee x_3)(\bar{x}_1 \vee x_2 \vee \bar{x}_3) \end{aligned}$$

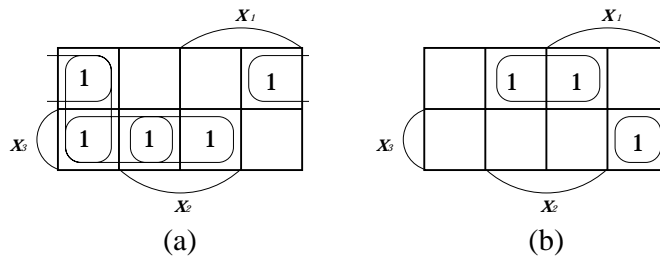


図 5: (a): g のカルノー図, (b): \bar{g} のカルノー図

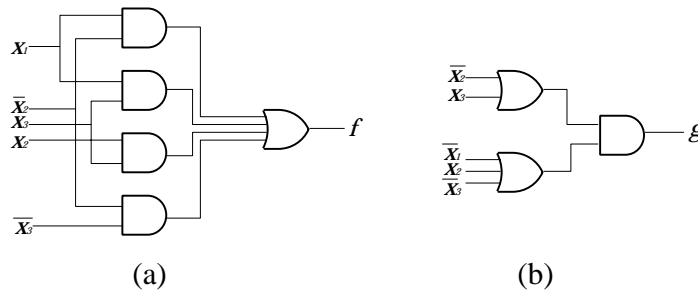


図 6: (a): AND-OR 二段回路, (b): OR-AND 二段回路

これらを用いて回路を描く (図 6).

8.2

$F = \bar{x}_1\bar{x}_4 \vee \bar{x}_1x_3 \vee x_2x_4 \vee x_2\bar{x}_3$ に対応するカルノー図を図 7 に示す. 論理関数 F は AND-OR

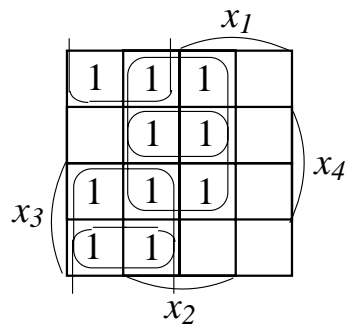


図 7: 問 8-2 のカルノー図

二段回路を表すので, 0 ハザードは存在しない. よって, 1 ハザードが存在するかどうかを考える. AND-OR 二段回路を表すカルノー図において, 入力変化の前後の出力が 1 である 2 つの隣接するセルに対して, これらを同時に被覆する積項が存在しないときに 1 ハザードが存在する. 図 7 では, 入力変化の前後の出力が 1 である 2 つの隣接するセルは F の主項を表すループですべて被覆されている. よって 1 ハザードは存在しない. また 2 つ以上の入力に変化する場合でも, 単一の入力変

化が複数回起こると考えればよい。したがってこの回路に対しては論理ハザードは存在しない。この例からわかるように、論理ハザードの存在しない AND-OR 二段回路を実現するためには、必ずしも全ての主項を実現する必要はない。

8.3

各ラッチの入力を表すカルノー図は図 8 のようになる。S は SET 入力, R は RESET 入力を表す。そして, y_1, y_2 の次の状態を示すカルノー図は図 9 のようになる。

y_1, y_2 の遷移図は図 10 のようになる。よって、遷移表は表 1 のようになる。

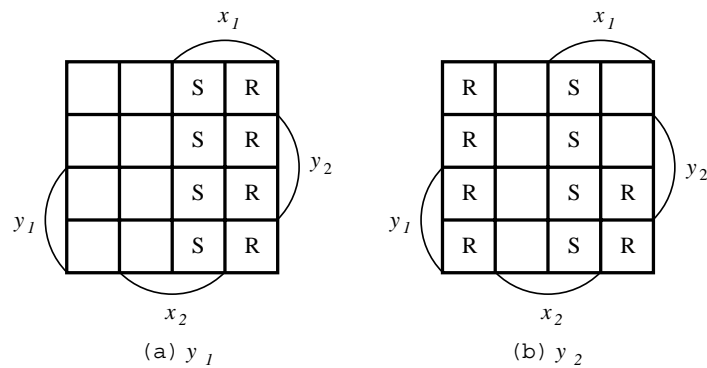


図 8: ラッチ入力のカルノー図

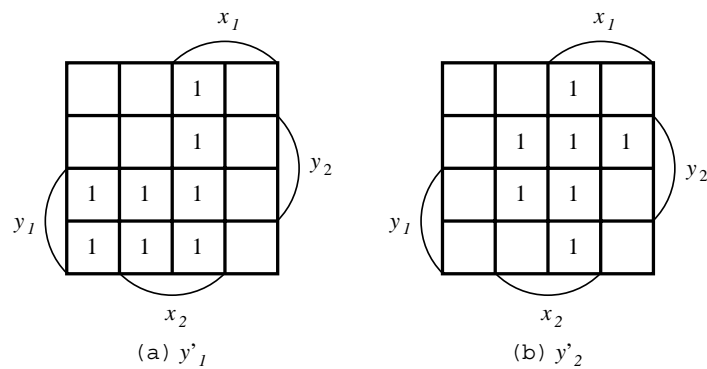


図 9: y'_1 と y'_2 のカルノー図

8.4

図 8.43 の帰還遅延モデルを図 11 に示す。 y' および y の論理関数は

$$y = y'$$

$$y' = x_1x_2 \vee x_2y \vee x_3y$$

となる。 y' の状態遷移表を表 2 に示す。よってこの回路の動作は

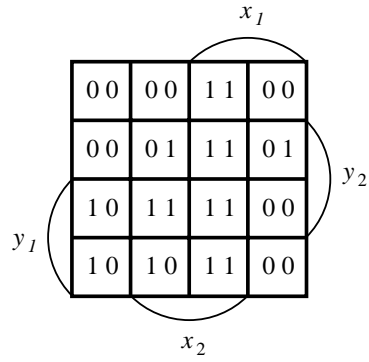


図 10: 遷移図

表 1: 遷移表

y_1y_2	入力 x_1x_2			
	00	01	11	10
00	00	00	11	00
01	00	01	11	01
11	10	11	11	00
10	10	10	11	00

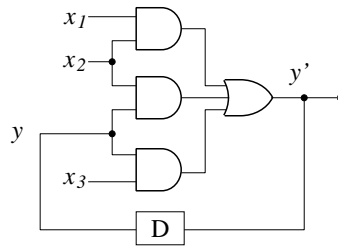


図 11: 図 8.43 の帰還遅延モデル

表 2: y' の状態遷移表

状態 y	入力 (x_1, x_2, x_3)							
	000	001	010	011	100	101	110	111
0	0	0	0	0	0	0	1	1
1	0	1	1	1	0	1	1	1

表 3: 図 12 の遷移表

x	y'
0	0
1	1

$y = 0$ のとき, $x_1 = 1, x_2 = 1, y' = 1$

$y = 1$ のとき, $x_2 = 0, x_3 = 0, y' = 0$

上記以外 $y' = y$

である.

8.5

$$y' = \overline{\overline{(xy)}(x(xy))} = \overline{\overline{(xy)} \vee \overline{(x(xy))}} = xy \vee (x(\bar{x} \vee \bar{y})) = xy \vee x\bar{y} = x$$

これより, 表 3 を得る. 表 3 より, この回路 (図 12) の出力はパルスを加える直前の x の値に等しい. よって, 入力 x の値を遅延させる機能をもっている. また, フィードバックをもつため, 入力 x のパルス波形が長い時, 出力 z は図 13 のようになる. しかし, 入力 x が短い時, 出力 z は図 14 のようになる.

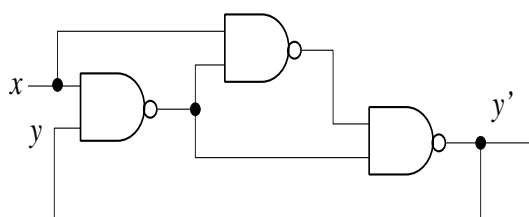


図 12: フィードバックのある回路

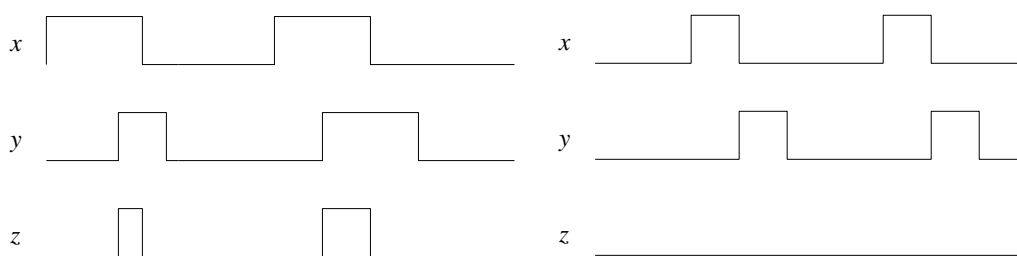


図 13: 入力 x のパルス波形が長い時

図 14: 入力 x のパルス波形が短い時

8.6

全状態 $(00, Q_0)$ から $(01, Q_2)$ へは一例として, $(00, Q_0) \rightarrow (10, Q_0) \rightarrow (11, Q_1) \rightarrow (01, Q_2)$ が考えられる. よって, 入力系列の一例として $(00) \rightarrow (10) \rightarrow (11) \rightarrow (01)$ が挙げられる.

8.7

図より, y'_1 と y'_2 について以下のような関数を得る.

$$y'_1 = \bar{x}_1 x_2 \vee x_2 y_1 \vee y_1 x_1$$

$$y'_2 = y_2 \bar{y}_1 x_1 \vee x_1 x_2 \vee x_2 y_2$$

この関数 y'_1 と y'_2 のカルノー図を図 15, 図 16 に示す. 従って, 表 4 のような遷移表を得る.

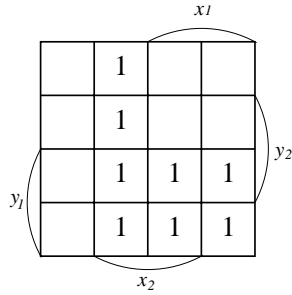


図 15: y'_1 のカルノー図

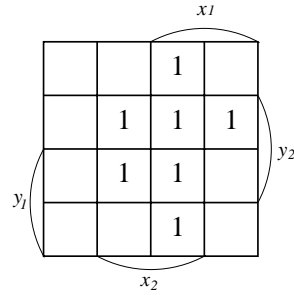


図 16: y'_2 のカルノー図

表 4: 遷移表

$y_1 y_2$		$x_1 x_2$			
		0 0	0 1	1 1	1 0
0 0	0 0	1 0	0 1	0 0	
0 1	0 0	1 1	0 1	0 1	
1 1	0 0	1 1	1 1	1 0	
1 0	0 0	1 0	1 1	1 0	

8.8

表 8.13 について, Q_0 を 00 に, Q_1 を 01 に, Q_2 を 11 に, Q_3 を 10 に状態割り当てした場合のカルノー図を図 17 に示す. y'_1, y'_2 のカルノー図を図 18, 図 19 に示す. 各ラッチの入力を示すカルノー図を図 20, 図 21 に示す. したがってカルノー図より入力方程式は

$$SET(y_1) = x_1 \bar{x}_2 y_2$$

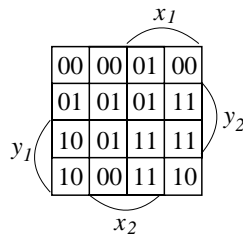


図 17: 状態割り当てを行った場合のカルノー図

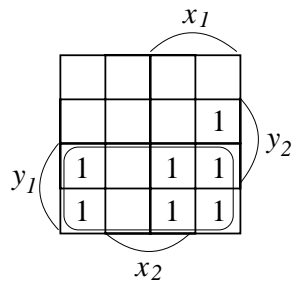


図 18: y_1' のカルノー図

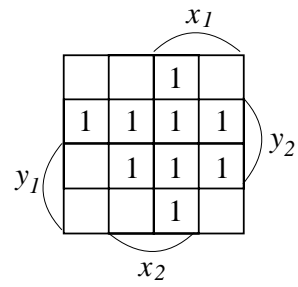


図 19: y_2' のカルノー図

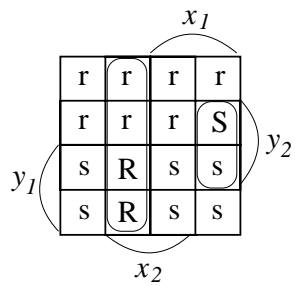


図 20: y_1 ラッチ

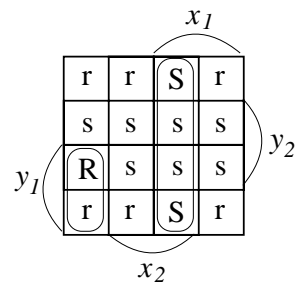


図 21: y_2 ラッチ

$$\begin{aligned}
 RESET(y_1) &= \bar{x}_1 x_2 \\
 SET(y_2) &= x_1 x_2 \\
 RESET(y_2) &= \bar{x}_1 \bar{x}_2 y_1
 \end{aligned}$$

となる。入力方程式より、SR ラッチを用いた状態表を実現する回路を図 22 に示す。

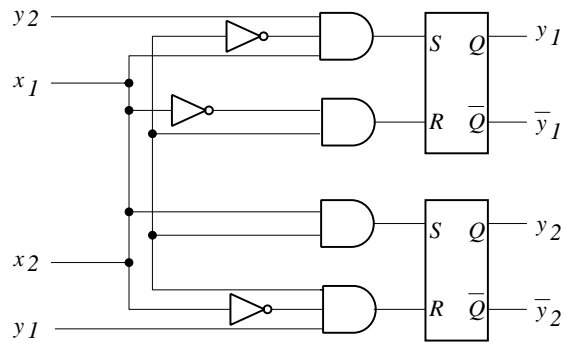


図 22: 問 8.8 を実現する回路図

8.9

図より

$$y'_1 = \overline{xy_1y_2} = xy_1 \vee \bar{y}_2$$

$$y'_2 = \overline{xy_2y_1} = xy_2 \vee \bar{y}_1$$

これらの式を用いてカルノー図を描く (図 23). 遷移表を描く (表 5).

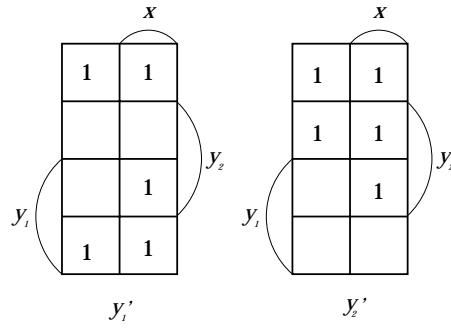


図 23: y'_1, y'_2 のカルノー図

表 5: 遷移表

		x	
		0	1
y_1	0	1	1
	1	0	0
y_2	0	1	1
	1	0	0

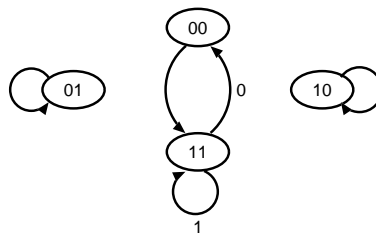


図 24: 遷移図

8.10

(a) (入力, 状態) とする.

(00,00) に入力 01 を加えると (00,00) \rightarrow (00,11) と状態遷移するはずだが, 状態変数が 2 個

同時に変化するので

$(00, 00) \rightarrow (01, 01) \rightarrow$ 安定.

$(00, 00) \rightarrow (01, 10) \rightarrow$ 安定.

となる 2 通りの状態遷移が考えられる. よってこれらは異なる状態で安定するので危険な競争である.

$(00, 00)$ に入力 10 を加えると $(00, 00) \rightarrow (10, 11) \rightarrow (10, 10)$ と状態遷移するはずだが, 状態変数が 2 個同時に変化するので

$(00, 00) \rightarrow (10, 01) \rightarrow (10, 11) \rightarrow (10, 10) \rightarrow$ 安定.

$(00, 00) \rightarrow (10, 10) \rightarrow$ 安定.

となる 2 通りの状態遷移が考えられる. これらは同じ全状態に遷移するので, 危険でない競争である.

$(01, 01)$ に入力 00 を加えると $(01, 01) \rightarrow (00, 11) \rightarrow (00, 00)$ と状態遷移するはずだが, 状態変数が 2 個同時に変化するので

$(01, 01) \rightarrow (00, 11) \rightarrow (00, 10) \rightarrow (00, 00) \rightarrow$ 安定.

$(01, 01) \rightarrow (00, 11) \rightarrow (00, 01) \rightarrow (00, 11) \rightarrow \dots$

となり, 状態遷移が $11 \rightarrow 01$ と続く限り, 発振するので危険な競争である.

$(01, 11)$ に入力 00 を加えると $(01, 11) \rightarrow (00, 00)$ と状態遷移するはずだが, 状態変数が 2 個同時に変化するので

$(01, 11) \rightarrow (00, 10) \rightarrow (00, 00) \rightarrow$ 安定.

$(01, 11) \rightarrow (00, 01) \rightarrow (00, 11) \rightarrow (00, 01) \rightarrow \dots$

となり, 状態遷移が $11 \rightarrow 01$ と続く限り, 発振するので危険な競争である.

$(01, 11)$ に入力 11 を加えると $(01, 11) \rightarrow (11, 00)$ と状態遷移するはずだが, 状態変数が 2 個同時に変化するので

$(01, 11) \rightarrow (11, 01) \rightarrow (11, 00) \rightarrow$ 安定.

$(01, 11) \rightarrow (11, 10) \rightarrow$ 安定.

となる 2 通りの状態遷移が考えられる. よってこれらは異なる状態で安定するので危険な競争である.

(b) 状態 00 で入力 01 を加えると, 状態 11 に状態遷移するはずだが

$00 \rightarrow 01 \rightarrow$ 安定.

$00 \rightarrow 10 \rightarrow$ 安定.

となってしまう危険な競争が生じる. したがって危険な競争が生じない遷移表を表 6 に示す.

8.11

$$y_1' = x_1 x_2 \vee y_1 y_2$$

$$y_2' = x_1 \bar{y}_1 \vee \bar{x}_2 y_1 \bar{y}_2 \vee \bar{x}_2 y_2$$

より, カルノー図は図 25 のようになり, 遷移表は表 7 のようになる. 表 7 には, 危険な競争が存在する. 危険な競争は, 各入力のうちで異なる安定状態が二つ以上あるものについてのみ考えれば良い. よって, $(x_1 x_2, y_1 y_2) = (00, 10)$, または $(10, 10)$ のとき, 危険な競争が起こるので状態割当を $(11) \rightarrow (10), (10) \rightarrow (11)$ とする.

表 6: 危険な競争が生じない遷移表

y_1y_2	x_1x_2			
	00	01	11	10
00	00	10	00	10
01	10	01	00	10
10	00	10	00	11
11	00	11	11	11

危険な競争を取り除いた遷移表は表 8 のようになり, カルノー図は図 26 のようになる.
カルノー図より,

$$y'_1 = x_1x_2 \vee y_1\bar{y}_2$$

$$y'_2 = x_1\bar{x}_2\bar{y}_1 \vee \bar{x}_2y_2 \vee x_1x_2y_1 \vee x_2y_1\bar{y}_2 \vee x_1y_1y_2$$

が求まり, 危険な競争を取り除いた回路は図 27 のようになる.

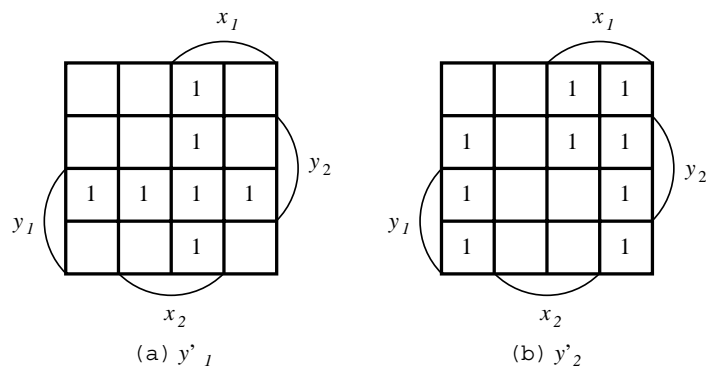


図 25: y'_1 と y'_2 のカルノー図

表 7: 遷移表

y_1y_2	x_2x_2			
	00	01	11	10
00	00	00	11	01
01	01	00	11	01
11	11	10	10	11
10	01	00	10	01

表 8: 危険な競争を取り除いた遷移表

y_1y_2	x_2x_2			
	00	01	11	10
00	00	00	10	01
01	01	00	10	01
11	01	00	11	01
10	10	11	11	10

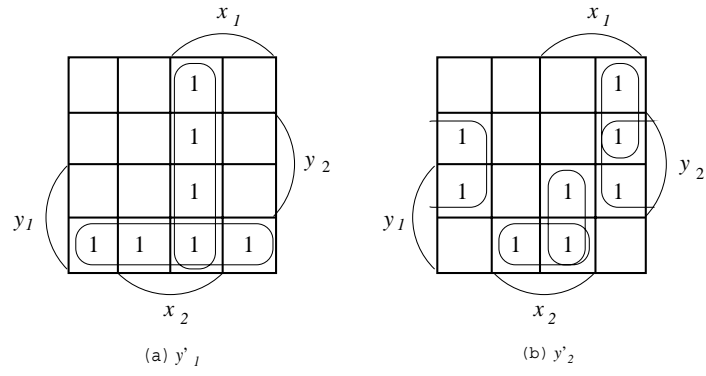


図 26: y'_1 と y'_2 のカルノー図

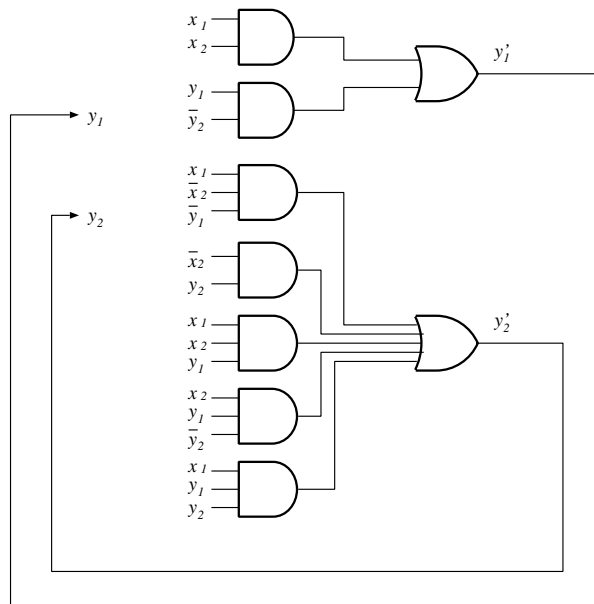


図 27: 危険な競争を取り除いた回路

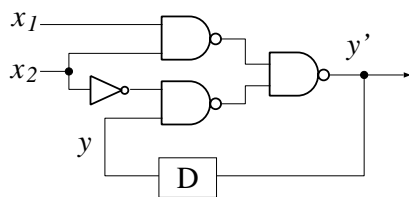


図 28: 図 8.48 の帰還遅延モデル

表 9: 状態遷移表

状態	入力 x_1, x_2			
	00	01	10	11
0	0	0	0	1
1	1	0	1	1

8.12

図 8.43 の帰還遅延モデルを図 28 に示す. したがって帰還遅延モデルより

$$y' = \overline{x_1 x_2} \cdot \overline{x_2 y} = (x_1 x_2) \vee (\bar{x}_2 y)$$

が成立する. まず, 動作を解析する. y' の状態遷移表を表 9 に示す. 状態遷移表より

$y' = 0$ のとき, $x_1 x_2 = 11$ を入力すると $y' = 1$

$y' = 1$ のとき, $x_1 x_2 = 01$ を入力すると $y' = 0$

上記以外 $y' = y$

となる動作をする回路である.

次にハザードが存在するか検証する. y' のカルノー図を図 29 に示す. 静的ハザードが存在するので, 積項 $x_1 y$ を追加する. ハザードを除去した回路を図 30 に示す.

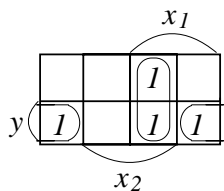


図 29: y' のカルノー図

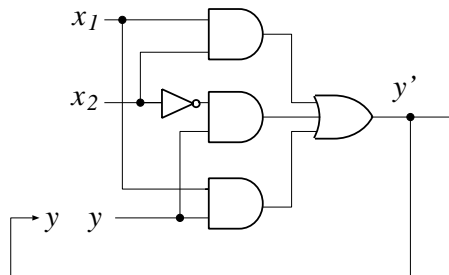


図 30: ハザードを除去した回路